

Высокопроизводительные реконфигурируемые вычислительные системы на основе плис Virtex-6 И Virtex-7¹

А.И. Дордопуло, И.А. Каляев, И.И. Левин, Е.А. Семерников

В статье рассматриваются конструктивные особенности и характеристики реконфигурируемых вычислительных систем (РВС), построенных на основе программируемых логических интегральных схем (ПЛИС), объединенных в большие вычислительные поля с помощью высокоскоростных интерфейсов. Отличительной характеристикой таких систем является высокая удельная производительность и энергоэффективность при решении прикладных задач, а также близкий к линейному рост производительности при увеличении аппаратного ресурса. В статье приводятся примеры реализации вычислительных модулей и блоков на основе ПЛИС семейств Virtex-6 и новые разработки на основе ПЛИС Virtex-7, их технические характеристики и описывается разрабатываемый комплекс системного программного обеспечения.

1. Введение

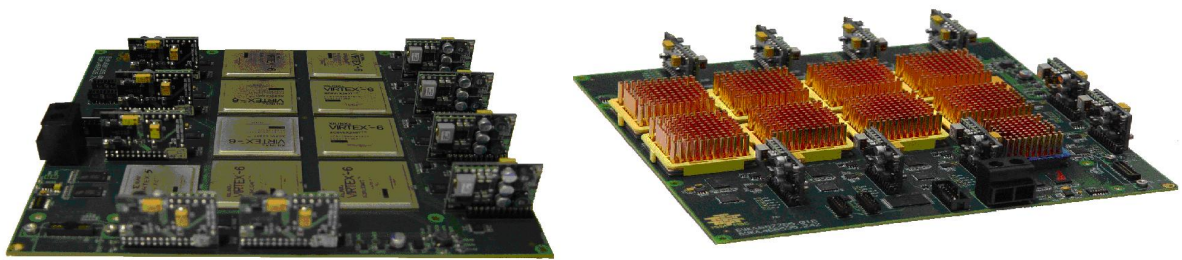
Разработчики высокопроизводительных вычислительных систем все чаще обращаются к поиску новых архитектурных решений на пути достижения рекордных характеристик производительности суперЭВМ. В последние годы в качестве вычислительных узлов помимо универсальных микропроцессоров используются многоядерные графические микропроцессоры и программируемые логические интегральные схемы (ПЛИС). В большинстве вычислительных систем, использующих ПЛИС, например таких как Jaguar - Cray XT5-HE, программируемые кристаллы используются в качестве дополнения к микропроцессорам, на которых выполняются трудно или неэффективно реализуемые фрагменты вычислений.

В то же время известно [1,2], что ПЛИС обладают значительно большим вычислительным потенциалом, который в полной мере может быть реализован в реконфигурируемых вычислительных системах, содержащих множество кристаллов ПЛИС, используемых как основной вычислительный элемент. Методы разработки и создания таких систем успешно развиваются в НИИ многопроцессорных вычислительных систем Южного федерального университета (г. Таганрог). Концепция построения РВС позволила создать целый ряд высокопроизводительных систем различных архитектур и конфигураций, предназначенных для решения вычислительно трудоемких задач различных предметных областей, успешно эксплуатируемых организациями и ведомствами Российской Федерации. В качестве элементной базы для построения таких РВС использовались ПЛИС Xilinx семейства Virtex-5 (семейство РВС, разработанное по госконтракту №02.524.12.4002 от 20.04.2007) [3,4] и Virtex-6 большой интеграции, соединенные в единый вычислительный ресурс высокоскоростными каналами передачи данных – LVDS и Rocket GTX.

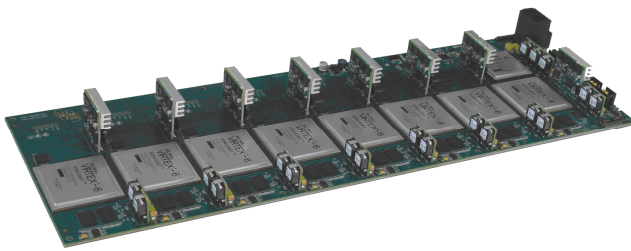
2. РВС нового поколения

Новые разработки НИИ МВС ЮФУ на основе ПЛИС семейства Virtex-6 и Virtex-7 используют для построения РВС открытую масштабируемую архитектуру [1], позволяющую преодолеть многие ограничения, накладываемые архитектурой с ортогональной коммутацией. В 2010-2011 годах в НИИ МВС ЮФУ были разработаны и серийно производятся РВС нового поколения на основе вычислительных модулей (ВМ) с ПЛИС Virtex-6, построенные на основе принципов открытой масштабируемой архитектуры, в двух перспективных конструктивных исполнениях – в модуле высотой 6U «Саиф» и в модуле высотой 1U «Ригель», фотографии плат которых представлены на рисунке 1,а-б.

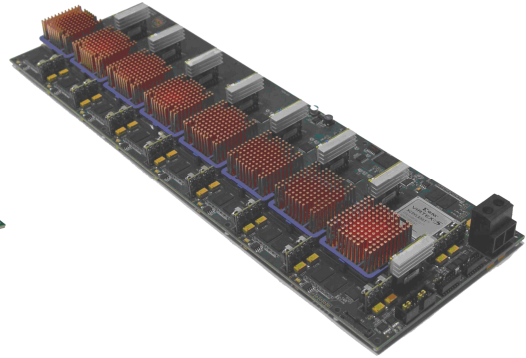
¹ Исследования выполнены при финансовой поддержке Министерства образования и науки РФ.



а)



б)



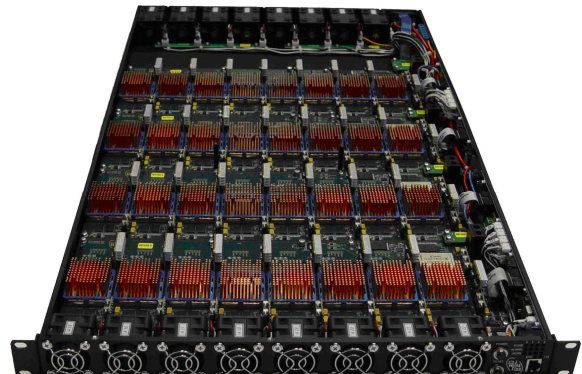
а) плата вычислительного модуля «Саиф»; б) плата вычислительного модуля «Ригель»

Рис. 1. Платы вычислительных модулей на ПЛИС Virtex-6

Фотографии вычислительных модулей «Саиф» и «Ригель» представлены на рисунке 2.



а)



б)

а) вычислительный модуль «Саиф»; б) вычислительный модуль «Ригель»

Рис. 2. Вычислительные модули на основе Virtex-6

Одновременно с этим ведутся разработки перспективных изделий на ПЛИС Virtex-7: разрабатываемая в настоящее время по государственному контракту №14.527.12.0004 от 03.10.2011 реконфигурируемая вычислительная система РВС-7 будет содержать вычислительное поле на основе ПЛИС семейства Virtex-7 с пиковой производительностью до 10^{15} операций с фиксированной запятой в секунду в одностоечном конструктиве 47U.

На рис. 3 показана структурная схема платы вычислительного модуля (ПВМ) 6V7-180, являющейся основой для построения РВС-7. Вычислительное поле ПВМ 6V7-180 выполнено на микросхемах XC7V585T-1FFG1761, содержащих около 58 миллионов эквивалентных вентилей.

В состав ПВМ 6V7-180 входят:

- контроллер ПВМ, выполненный на ПЛИС XC6V130T-1FFG1156C производства Xilinx;
- вычислительное поле, состоящее из 6-ти ПЛИС XC7V585T-1FFG1761 семейства Virtex-7 производства Xilinx. Между собой ПЛИС вычислительного поля соединены последовательно.

Связь между соседними ПЛИС обеспечивается по 144 дифференциальными линиями LVDS интерфейса на частоте 800 МГц;

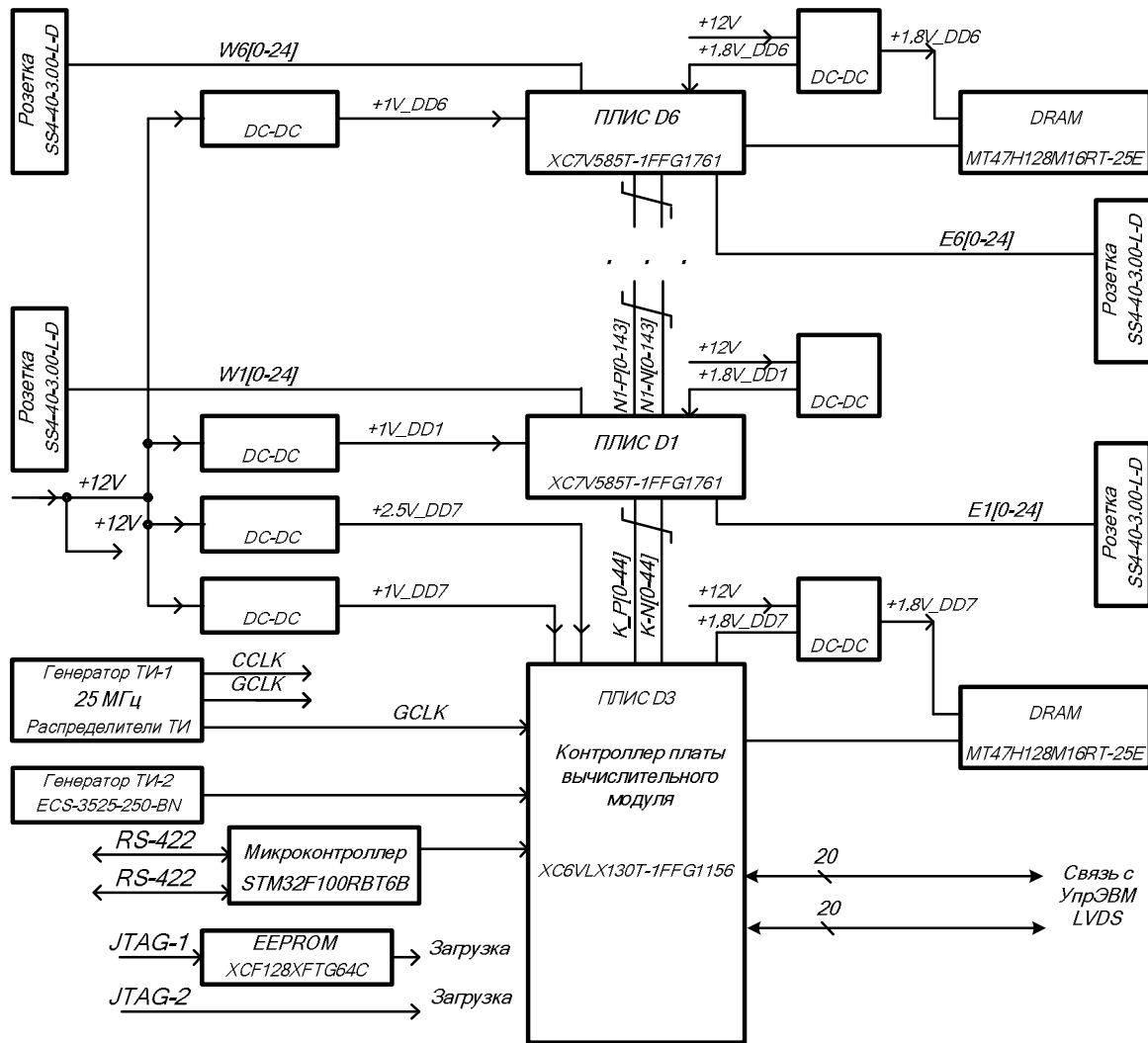


Рис. 3. Структурная схема 6V7-180 на ПЛИС Virtex-7

- 12 каналов интерфейса LVDS на частоте 800 МГц по 25 дифференциальных пар каждый (разъёмы типа SS4) для связи с другими вычислительными модулями;
- узлы основной и резервной загрузки ПЛИС по интерфейсам JTAG-1 и JTAG-2;
- подсистема синхронизации (генераторы ECS-2033-250-BN и распределители тактовых импульсов IDT5T9316NLI);
- распределённая память в составе 12-ти микросхем динамической памяти (MT47H128M16HR-25E с организацией 128 М*16 и частотой записи/чтения до 400 МГц). К ПЛИС вычислительного поля, а также к ПЛИС контроллера базового модуля подключено по две микросхемы памяти DDR2. Объем оперативной памяти на ПВМ 3 Гбайта;
- 2 канала интерфейса LVDS по 20 дифференциальных пар для связи с персональным компьютером и внешней аппаратурой;
- подсистема загрузки ПЛИС;
- подсистема питания, в состав которой входят DC-DC преобразователи напряжения, вырабатывающие напряжения питания: +1 В – питание ядер ПЛИС; +2,5 В – питание узла тактирования; +1,8 В – питание микросхем памяти DDR2, +3,3 В – буферных каскадов ПЛИС.

Технические характеристики ПВМ 6V7-180 представлены в таблице 1.

Таблица 1. Технические характеристики ПВМ 6V7-180

Технический параметр		Значение
ПЛИС XC7V585T-FFG1761 (вычислительная ПЛИС) (58 млн. экв. вент.), шт.		6
ПЛИС XC6V130T-FFG1156 (контроллер ПВМ) (13 млн. экв. вент.), шт.		1
М/с памяти DDR2 MT47H128M16HR-25E (128 М * 16 = 2048 Мбит), шт.		12
Объем памяти, Гбайт		3
Частота обработки информации ПЛИС, МГц		до 400
Тактовая частота каналов между соседними ПЛИС, МГц (не менее)		800
Производительность вычислений, приведённых операций в секунду		$5 \cdot 10^{13}$ оп/с
Интерфейсы	Каналы LVDS для связи с УпрЭВМ, дифф. пар	20
	Разъемы SS4, шт.	12
	Каналы LVDS для обмена со смежными ПЛИС, дифф. пар	144
Потребляемая мощность, не более, Вт		300
Габариты ПВМ, мм		140 x 325

В таблице 2 приведены сравнительные характеристики плат вычислительных модулей «Саиф», «Ригель» и 6V7-180.

Таблица 2. Технические характеристики плат вычислительных модулей

Плата вычислительного модуля	Число ПЛИС	Тип и наименование ПЛИС	Количество эквивалентных вентилях в 1 ПЛИС, млн. шт.	Интерфейс и скорость межмодульного обмена, Гбит/сек	Потребляемая мощность, ВА
«Саиф»	8	Virtex-6	24	Gigabit Ethernet, 1	300
«Ригель»	8	Virtex-6	24	Gigabit Ethernet, 1	300
6V7-180	6	Virtex-7	58	LVDS, 120	300

На рисунке 4 представлена компоновка вычислительного модуля 24V7-750 на основе четырех ПВМ 6V7-180 с управляющим модулем УМ-7. В состав 24V7-750 входят: четыре платы 6V7-180; управляющий модуль УМ-7; подсистема питания; подсистема охлаждения и другие подсистемы. Характеристики ВМ 24V7-750 приведены ниже в таблицах 3 – 5.

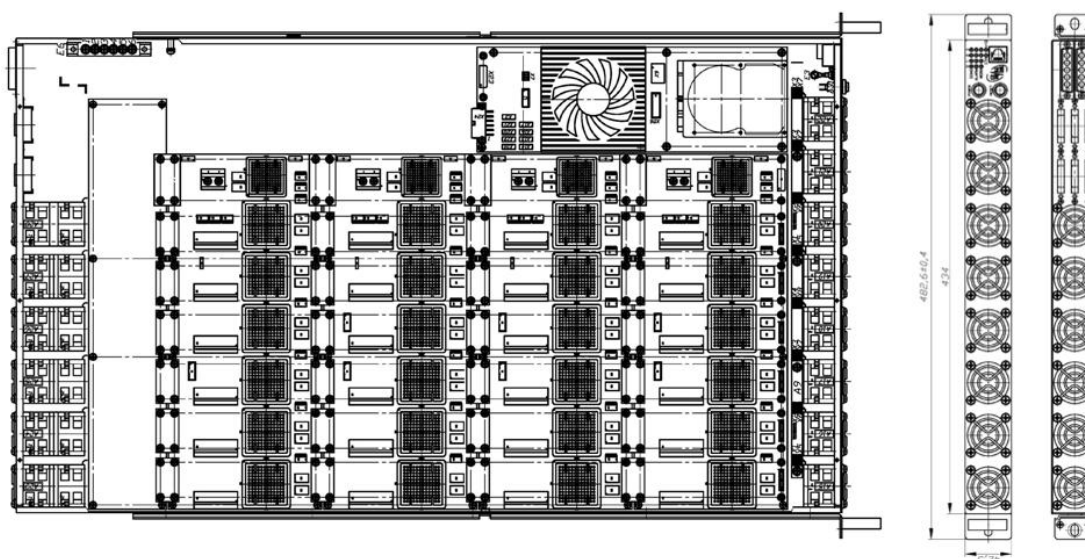


Рис. 4 Компоновка ВМ 24V7-750

Вычислительные модули конструктивных исполнений «Саиф», «Ригель» и 24V7-750 имеют высоту 6U и 1U и предназначены для установки в стандартную 19" вычислительную стойку, которая является базовым компонентом для создания сверхвысокопроизводительных комплексов на основе ПЛИС.

Применение ПЛИС семейства Virtex-6 в качестве элементной базы для построения вычислительных модулей «Саиф» и «Ригель» позволяет при сохранении стоимости поставки вычислительного модуля увеличить производительность в 1,5-2 раза по сравнению с аналогичным решением на основе ПЛИС семейства Virtex-5, а использование Virtex-7 улучшает характеристики примерно в 1,7 раза по сравнению с изделиями на основе Virtex-6. Этот факт позволяет рассматривать созданные вычислительные модули нового поколения как наиболее перспективные варианты для построения РВС различных архитектур и конфигураций и обеспечивает им существенное конкурентное преимущество по большинству технико-экономических параметров: удельной производительности, энергоэффективности и др.

Производительность рассматриваемых вычислительных модулей и вычислительных стоек на их основе представлена в таблице 3. Производительность соответствует обработке данных с одинарной ($P_{i_{32}}$) и двойной ($P_{i_{64}}$) точностью в соответствии со стандартом IEEE-754 для вычислительных модулей и стоек описанных изделий. Технические характеристики вычислительных модулей представлены в таблице 3.

Таблица 3. Производительность вычислительных модулей и стоек

Наименование вычислительного модуля	Производительность вычислительного модуля $P_{i_{32}}/P_{i_{64}}$ (Гфлопс)	Число вычислительных модулей в 19" стойке	Производительность стойки $P_{i_{32}}/P_{i_{64}}$ (Тфлопс)
«Саиф»	1600/500	6	9/3
«Ригель»	1600/500	24-36	34,5 – 51,8/12,0 – 18,0
24V7-750	2600/820	24-36	62,4 – 95,0/19,4 – 29,4

В таблице 4 приведены производительности вычислительных модулей на задачах символьной обработки данных, использующих битовые преобразования, и задачах математической физики на основе арифметики с плавающей запятой одинарной точности.

Таблица 4. Производительность вычислительных модулей

Вычислительный модуль	Символьная обработка данных (Топ/с)	Математическая физика, арифметика с плавающей запятой (Тфлопс)
«Саиф»	199,6	1,6/0,5
«Ригель»	199,6	1,6/0,5
24V7-750	320,2	2,2/0,8

В таблице 5 приведены суммарные скорости передачи данных между кристаллами ПЛИС и блоками распределенной памяти, между ПЛИС в пределах одного вычислительного модуля и других вычислительных модулей.

Таблица 5. Скорость передачи данных

Вычислительный модуль	С блоками распределенной памяти (Тбит/с)	Между ПЛИС вычислительного поля (Тбит/с)	С другими вычислительными модулями (Тбит/с)
«Саиф»	12,8	1,0	0,001
«Ригель»	12,8	1,0	0,001
24V7-750	16,4	2,0	0,5

3. Многоуровневое программирование РВС

Традиционно программирование РВС содержит два этапа. На первом этапе создается вычислительная структура для решения прикладной задачи. На втором этапе программируется организация вычислительного процесса в созданной вычислительной структуре с целью полу-

чения результата. При этом наибольшие трудности у пользователей вызывает именно первый этап, поскольку большинство пользователей привыкли программировать организацию вычислительного процесса, опираясь на неизменную аппаратную платформу компьютера. С целью преодоления возникающих затруднений разработчики предлагают многоуровневый подход к программированию РВС, позволяющий в едином процессе создавать как вычислительные структуры в поле ПЛИС, так и организацию в них вычислительного процесса.

Можно выделить четыре основных уровня программирования реконфигурируемых вычислительных систем:

- уровень использования функционально законченных фрагментов в прикладной масштабируемой программе;
- уровень программирования унифицированного макрообъекта для прикладной масштабируемой программы;
- уровень синтеза и программирования макрообъектов в прикладной масштабируемой программе;
- уровень трансляции прикладной масштабируемой программы с языка высокого уровня в логические ячейки ПЛИС и связи между ними.

Уровни программирования РВС и применяемые на них основные средства разработки представлены на рисунке 5.



Рис. 5. Уровни программирования РВС, доступные пользователю

Программирование РВС на первом уровне выполняется с помощью вызова внешних библиотечных функций из программ на традиционных высокоуровневых языках программирования. Вызываемая функция осуществляет запуск потоков данных, следующих через вычислительную систему, при этом структурная, потоковая и процедурная составляющие прикладной масштабируемой программы не меняются и должны быть уже загружены в РВС. Достоинствами такого подхода являются скорость и простота разработки программ для традиционных процессоров, а также наибольшая гибкость при вызове структурно-реализованного фрагмента, недостатками – сложность изменения аппаратной реализации, созданной специалистом-схемотехником, и снижение общей производительности задачи в целом из-за более низких скоростей обмена между управляющим модулем и вычислительным полем ПЛИС.

Программирование на уровне унифицированных макрообъектов (представляющих собой совокупность вычислительных устройств, выполняющих определенную группу команд и соединенных между собой коммутационной системой) позволяет программисту задавать коммутацию как внутри макрообъектов, так и макрообъектов между собой, что, в свою очередь, позволяет перестраивать структуру РВС в процессе решения задачи и обеспечивает пользователя более гибкими средствами разработки прикладных программ. Естественным требованием унификации и универсальности макрообъекта является наличие единого интерфейса команд для программирования макрообъектов, что налагает ряд ограничений как на схемотехническую реализацию макрообъектов, так и на используемую систему команд для программирования

макрообъектов. Это приводит к тому, что для программирования макрообъектов используется низкоуровневый язык ассемблера, содержащий команды настройки коммутационной системы и выполняемых макрообъектом функций и команды чтения/записи потоков данных, обрабатываемых вычислительной структурой, составленной из макрообъектов. Преимуществом этого подхода является возможность перестройки архитектуры вычислительной системы при решении задачи, недостатком – существенное снижение реальной и удельной производительности получаемого решения.

На уровне синтеза и программирования макрообъектов создание прикладных масштабируемых программ возможно двумя способами. Первый способ предполагает создание технического решения с участием специалиста-схемотехника, при котором специалист-схемотехник по заданию алгоритмиста фактически создает проблемно-ориентированную вычислительную структуру для решения фрагмента задачи определенного класса, например, линейной алгебры, цифровой обработки сигналов, математической физики и т.п. В состав такого макрообъекта при этом включаются необходимые вычислительные блоки, интерфейсы, блоки внутренней памяти, функциональные преобразователи, объединенные пространственной коммутационной системой макрообъекта, а также устройство управления макрообъектом. Затем созданный макрообъект каскадируется и распараллеливается в необходимом количестве с целью создания вычислительной структуры для решения всей задачи. Достоинством этого подхода является простота использования макрообъектов, созданных заранее для различных проблемных областей, недостатком – сложность разработки макрообъекта, необходимость привлечения специалиста-схемотехника и необходимость отображения вычислительного графа на макрообъектную архитектуру реконфигурируемой вычислительной системы.

Второй способ предполагает использование только языковых средств. В этом случае используются библиотечные элементы, созданные схемотехниками на стадии создания библиотек элементов, для ряда проблемных областей. Библиотечные элементы, включенные в библиотеки, описываются как функции языка высокого уровня. Затем, используя языковые конструкции, эти функции вызываются для исполнения. В результате создается макрообъект с определенными свойствами исключительно средствами языка высокого уровня. При трансляции такой программы в аппаратуре РВС создаются программные макрообъекты, управление которыми осуществляется процедурной, потоковой и управляющей составляющими параллельной программы. Преимуществами такого метода является исключение из процесса создания прикладной программы для РВС специалиста-схемотехника, а также более рациональное использование аппаратного ресурса РВС. К недостаткам можно отнести необходимость наличия проблемно ориентированных библиотек для различных предметных областей.

Общим для первого и второго способов является программирование макрообъектов, которое включает в себя загрузку во все используемые в РВС макрообъекты управляющего пакета с целью их настройки на параметры решаемой задачи. Управляющий пакет включает в себя настройку всех компонентов макрообъекта на выполнение необходимых функций, способы адресации данных в макрообъектной памяти и необходимые функции коммутации пространственного коммутатора макрообъекта. Для загрузки управляющих пакетов используется низкоуровневый язык ассемблера, содержащий команды настройки всех компонентов. Ассемблер используется также для программирования потоков данных, обрабатываемых вычислительной структурой, составленной из макрообъектов.

Программирование на уровне трансляции с языка высокого уровня в логические ячейки ПЛИС и связи между ними осуществляется на языке высокого уровня, при этом осуществляется преобразование программы на языке высокого уровня в структурную, процедурную, потоковую и управляющую составляющие. Достоинством этого подхода являются простота модификации программы и существенное повышение скорости разработки прикладных программ, поскольку исключается участие специалиста-схемотехника при разработке прикладной программы, а также сравнимая с первым уровнем высокая реальная производительность получаемого решения. Недостатком этого уровня является ограничение на смену вычислительной структуры, при котором любое изменение в структуре решаемой задачи требует ее перетрансляции и перегрузки конфигурации РВС.

Поддержка третьего уровня программирования для рассматриваемых систем нового поколения с открытой масштабируемой архитектурой на основе Virtex-6 и Virtex-7, характеризую-

щихся отличной от представителей семейства PBC топологией микросхем ПЛИС и связей между ними, обеспечит при тех же принципах программирования возможность простой адаптации программных компонентов средств разработки для PBC при переходе на новые топологии ПВМ без внесения существенных изменений в код программных компонентов комплекса.

Для поддержки третьего уровня программирования необходима разработка комплекса программного обеспечения PBC-7, включающего новые программы-синтезаторы параллельно-конвейерных вычислительных структур из макрообъектов и обеспечивающего поддержку вводимых расширений всеми средствами разработки прикладных программ на всех необходимых для этого уровнях.

Структура разрабатываемого комплекса программного обеспечения PBC-7 представлена рис.6.



Рис. 6 Структура КПО PBC-7

Основными принципами при проектировании КПО PBC-7 и программных компонентов, входящих в его состав, являются:

- модульная структура КПО PBC-7;
- обеспечение программирования всех составляющих масштабируемых прикладных программ на языке высокого уровня;
- обеспечение реконфигурации прикладных масштабируемых программ без участия высококвалифицированного специалиста-схемотехника;
- обеспечение совместимости и переносимости проектов между PBC разных архитектур;
- возможность масштабирования прикладной задачи при увеличении ресурса.

КПО PBC-7 должен обеспечивать:

- рациональную реализацию прикладных задач различных областей на произвольном количестве взаимосвязанных кристаллов ПЛИС в составе вычислительных блоков ВБР-7 и вычислительных модулей (ВМ) 24V7-750 для любых допустимых конфигураций PBC-7;
- разработку прикладных масштабируемых программ на языке высокого уровня с вызовом библиотечных функций, которые будут настраивать архитектуру системы и реализовывать необходимые вычислительные структуры на множестве ПЛИС;
- тестирование и контроль эксплуатационных параметров составных частей PBC-7;
- управление и администрирование оборудования, в том числе удаленное, включение, выключение, остановку и запуск как отдельных ВМ, так и стоек PBC-7.

Языковые средства программирования прикладных задач должны содержать:

- транслятор языка ассемблера для программирования на уровнях унифицированного макрообъекта и структурно- и процедурно-программируемого макрообъекта;
- транслятор языка программирования РВС высокого уровня с неявным описанием параллелизма для трансляции в логические ячейки ПЛИС и связи между ними;
- среду разработки прикладных программ, поддерживающую языки ассемблера и высокого уровня для РВС;
- среду синтеза масштабируемых параллельно-конвейерных процедур для трансляции структурной составляющей с языка высокого уровня в конфигурацию ПЛИС;
- библиотеку функционально-законченных структурно-реализованных аппаратных устройств (IP-ядер) для различных предметных областей и интерфейсов для согласования скорости обработки информации и связи в единую вычислительную структуру;
- библиотеку программных функций доступа к аппаратным ресурсам базовых модулей РВС для программирования на уровне использования функционально законченных фрагментов задачи.

Разрабатываемый комплекс программного обеспечения позволит создавать эффективные прикладные программы для РВС при решении задач различных предметных областей, обеспечивая удобство программирования и сокращая время разработки прикладного решения, что, с учетом высоких показателей удельной производительности, до 10 раз превосходящей кластерные суперЭВМ на широком классе задач, позволяет считать РВС перспективным направлением развития высокопроизводительной вычислительной техники и средством создания суперЭВМ нового поколения.

4. Заключение

Вычислительные модули нового поколения «Саиф», «Ригель» и 24V7-750 на основе ПЛИС семейства Virtex 6 и Virtex 7 открывают перспективы для построения вычислительных систем более высокой производительности при сохранении стоимости системы по сравнению с РВС на основе ПЛИС семейства Virtex 5. В то же время вычислительные модули обладают достаточной автономностью и могут легко комплексоваться с персональным компьютером типа IBM PC в качестве ускорителей и использоваться при решении различных задач.

Для вычислительных модулей нового поколения «Саиф» и «Ригель» сохраняется преемственность принципов программирования: программирование всех рассмотренных вычислительных модулей осуществляется с помощью единого комплекса системного программного обеспечения, поддерживающего структурно-процедурные методы организации вычислений и определяющие не только организацию параллельных процессов и потоков данных, но и структуру вычислительной системы в поле логических ячеек ПЛИС.

Литература

1. Левин И.И. Реконфигурируемые вычислительные системы с открытой масштабируемой архитектурой // Труды Пятой Международной конференции «Параллельные вычисления и задачи управления» РАСО'2010. - М.: Учреждение Российской академии наук Институт проблем управления им. В.А. Трапезникова РАН, 2010. - С.83-95.
2. Каляев А.В., Левин И.И. Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. - М.: Янус-К, 2003. – 380 с.
3. Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И. Реконфигурируемые мультikonвейерные вычислительные структуры /Изд. 2-е, перераб. и доп. / Под общ. ред. И.А. Каляева. - Ростов-на-Дону: Изд-во ЮНЦ РАН, 2009. – 344 с.
4. Каляев И.А., Левин И.И. Семейство реконфигурируемых вычислительных систем с высокой реальной производительностью // Труды международной научной конференции «Параллельные вычислительные технологии» (ПАВТ'2009). – Нижний Новгород: электронное издание НГУ имени Н.И. Лобачевского, 2009. – С.186-196.

5. Дмитренко Н.Н., Каляев И.А., Левин И.И., Семерников Е.А. Развитие аппаратной платформы реконфигурируемых вычислительных систем // Труды Международной суперкомпьютерной конференции «Научный сервис в сети Интернет: суперкомпьютерные центры и задачи. – М.: Изд-во МГУ, 2010. – С. 315-320.
6. Дордопуло А.И., Каляев И.А., Левин И.И., Семерников Е.А. Высокопроизводительные реконфигурируемые вычислительные системы нового поколения // Труды Международной суперкомпьютерной конференции с элементами научной школы для молодежи «Научный сервис в сети Интернет: экзафлопсное будущее». – М.: Изд-во , 2011. – С. 42-49.
7. Каляев И.А., Левин И.И., Семерников Е.А., Дордопуло А.И. Реконфигурируемые вычислительные системы на основе ПЛИС семейства Virtex-6 // Сборник трудов Международной научной конференции «Параллельные вычислительные технологии 2011» (ПАВТ 2011). – Челябинск-М.: Издательский центр ЮУрГУ [Электронный ресурс], 2011. - С. 203–210.